

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-296145

(43)Date of publication of application : 29.10.1999

(51)Int.Cl.

G09G 3/36
G09G 3/20
G09G 3/20
G09G 5/00
G09G 5/14
G09G 5/36

(21)Application number : 10-097122

(71)Applicant : HITACHI LTD
HITACHI VIDEO & INF SYST INC

(22)Date of filing : 09.04.1998

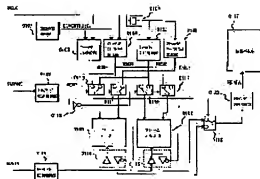
(72)Inventor : NISHITANI SHIGEYUKI
MAEDA TAKESHI
KASAI SHIGEHICO
MORI MASASHI
HIRUTA YUKIO
KURIHARA HIROSHI
MORI TATSUMI

(54) LIQUID CRYSTAL DISPLAY CONTROLLER

(57)Abstract:

PROBLEM TO BE SOLVED: To simultaneously display the same or different video data within a low resolution display range by providing a display control means for controlling the display of held still pictures or display data successively inputted from a personal computer on any divided arbitrary picture of low resolution.

SOLUTION: A frame memory write control part 0103 generates a write command WCMD to frame memories 1 (0101) and 2(0102). A frame memory write address generating part 0104 generates a write address WADR. A picture division control part 0107 displays plural low resolution video signals on a liquid crystal panel 0117 while dividing them into pictures. With an input vertical synchronizing signal VSYNC as a trigger, a write/read switching control part 0108 switches write/read control to the frame memories 1(0101) and 2(0102). Then, held images are displayed in the first to third divided areas on the liquid crystal panel 0117 and video data to be successively changed from the personal computer are displayed in the fourth area.



Title of Invention: LIQUID CRYSTAL DISPLAY CONTROLLER

Publication No.: Japanese Patent Appln. Laid-open HEI 11-296145

Publication Date: October 29, 1999

Application No.: Japanese Patent Appln. HEI 10-097122

Application Date: April 9, 1998

Applicant(s): HITACHI Co., Ltd; HITACHI VIDEO & INF SYSTEM Inc.

Inventor(s): Shigeyuki NISHITANI et al.

(Partial English translation)

[0049] Fig. 9 is an example which shows the operation method on an adjustment menu (on screen display) in accordance with the first example described so far. In Fig. 9, a screen separation menu (DISPLAY DIVIDE) is first selected from on a main menu 0901. Next, in a set menu 0902, validity (YES selection) is chosen for validity /invalidity of a screen separation. Furthermore, in the next division area set menu 0903, performed is a selection of the area which becomes a target for writing. Here, a first divisional screen shall be selected (1 ST-PLANE). In the next menu 0904, a selection is done at the timing when a desirable video signal to be incorporated is displayed, checking the video data currently displayed on the first divisional screen (YES selection).

特開平11-296145

(43) 公開日 平成11年(1999)10月29日

(51) Int.Cl. ⁴	識別記号	F I		
G 0 9 G	3/36	G 0 9 G	3/36	
	3/20		3/20	6 2 1 E
	6 2 1			6 3 1 D
	6 3 1			
	5/00		5/00	X
	5/14		5/14	Z
審査請求 未請求 請求項の数 9 O L (全 22 頁) 最終頁に続く				

(21) 出願番号 特願平10-97122

(22) 出願日 平成10年(1998)4月9日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233136

株式会社日立画像情報システム

神奈川県横浜市戸塚区吉田町292番地

(72) 発明者 西谷 茂之

神奈川県川崎市麻生区王禅寺1099番地 株

式会社日立製作所システム開発研究所内

(72) 発明者 前田 武

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立画像情報システム内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

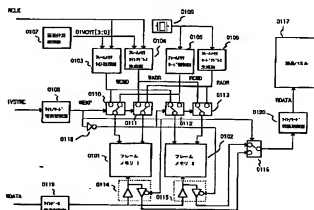
(54) 【発明の名称】 液晶表示制御装置

(57) 【要約】

【課題】 本発明の目的は、高解像度液晶表示装置の表示形態として、この高解像度液晶表示画面を複数の低解像度表示範囲に分割し、これら個々の低解像度表示範囲に対し、同一もしくは異なる映像データの表示を同時に可能とすることにある。

【解決手段】 本発明は液晶表示装置における高解像度映像信号を数フレーム格納可能なフレームメモリを備え、このメモリ内部を低解像度に対応した複数領域に分割し、この分割した領域毎に書き込み及び読み出し可能な制御を行い、分割された各表示領域に対し同一もしくは異なる低解像度の映像信号を同時に表示可能とした。

図1



【特許請求の範囲】

【請求項1】 パーソナルコンピュータなどからの映像表示データを表示する液晶表示装置を備えた液晶表示制御装置において、該液晶表示制御装置は、該映像表示データの解像度に対し該液晶表示装置の解像度が高解像度な場合に、該液晶表示装置の表示画面を該映像表示データに合わせた低解像度の複数画面に分割する画面分割手段と、該分割した低解像度の任意画面に対し、保持した静止画像もしくはパーソナルコンピュータなどから随時入力される表示データの表示を制御する表示制御手段を備えたことを特徴とする液晶表示制御装置。

【請求項2】 パーソナルコンピュータなどからの映像表示データを表示する液晶表示装置を備えた液晶表示制御装置において、該液晶表示制御装置は、該映像表示データの解像度に対し該液晶表示装置の解像度が高解像度な場合に、該液晶表示装置の表示画面を2つ以上の領域に分割する画面分割手段と、該画面分割手段で分割された表示領域のうち1つの表示領域に対し、該映像表示データに対する各種調整の調整基準となる理想的なデジタル表示データを表示し、他方の表示領域に対し、パーソナルコンピュータなどからの映像表示データの表示を制御する表示制御手段を備えたことを特徴とする液晶表示制御装置。

【請求項3】 パーソナルコンピュータなどからの映像表示データを表示する液晶表示装置を備えた液晶表示制御装置において、該液晶表示制御装置は、該映像表示データの解像度に対し該液晶表示装置の解像度が高解像度な場合に、該液晶表示装置の表示画面を上下2分割する画面分割手段と、低解像度の映像表示データを該2分割画面の1つに対し通常の表示を行い、他方の分割画面に対し同じ低解像度の映像表示データを上下、左右反転した状態で表示を制御する表示制御手段を備えたことを特徴とする液晶表示制御装置。

【請求項4】 パーソナルコンピュータなどからの映像表示データを表示する液晶表示装置を備えた液晶表示制御装置において、該液晶表示制御装置は、複数画面分の表示データを格納可能なメモリを備え、該メモリの内任意の1画面分のメモリ領域に格納された表示データを繰り返し読み出し、別のメモリ領域に対し、該映像表示データに対する各種調整の調整基準となる表示データを任意に設定するメモリ制御手段を備えたことを特徴とする液晶表示制御装置。

【請求項5】 パーソナルコンピュータなどからの映像表示データを表示する液晶表示装置において、該液晶表示装置は、映像表示データを左右反転して表示する表示制御装置と、左右反転表示した表示を映す反射板を備えたことを特徴とする液晶表示制御装置。

【請求項6】 パーソナルコンピュータなどからの映像表示データを表示する液晶表示装置を備えた液晶表示制御装置において、該液晶表示制御装置は、該映像表示デー

タの解像度に対し該液晶表示装置の解像度が高解像度な場合に、液晶表示装置の表示画面を映像表示データに合わせた低解像度の複数画面に分割する画面分割手段と、該画面分割手段で分割された各々の分割領域に対し任意にスケーリング表示することで、パーソナルコンピュータからの映像表示データの全体表示並びに、部分拡大表示を制御する拡大表示制御手段を備えたことを特徴とする液晶表示制御装置。

【請求項7】 パーソナルコンピュータなどからの映像表示データを表示する液晶表示装置を備えた液晶表示制御装置において、該液晶表示制御装置は、表示画面の一部に他の表示データを重ね合わせ、重ね合わされた双方の表示を同時に認識出来る表示とする重ね合わせ手段を備えたことを特徴とする液晶表示制御装置。

【請求項8】 パーソナルコンピュータなどからの映像表示データを表示する液晶表示装置を備えた液晶表示制御装置において、該映像表示データの解像度に対し該液晶表示装置の解像度が高解像度な場合に、該高解像度な映像信号を表示画面全面に表示した後、低解像度映像信号を入力映像信号を切替えた際に、低解像度映像信号の表示領域以外の表示領域に対し、切替え前の高解像度映像信号の表示を行う表示制御手段を備えたことを特徴とする液晶表示制御装置。

【請求項9】 パーソナルコンピュータなどからの映像表示データを表示する液晶表示装置を備えた液晶表示制御装置において、該映像データの入力系統が複数系統あり、かつ、該映像表示データの解像度に対し該液晶表示装置の解像度が高解像度な場合に、フレーム毎にこれら複数系統の映像信号を切替えて入力し、入力した各々の映像信号は一旦互いに異なる領域のメモリに格納し、表示の際には表示画面に合わせた順次読み出すことで、複数系統の映像信号を同時に表示可能とする表示制御手段を備えたことを特徴とする液晶表示制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、映像データを表示する液晶表示装置に関する。また、液晶表示装置の表示を制御する液晶表示制御装置および制御方法に関する。

【0002】

【従来の技術】 従来、パーソナルコンピュータなどからの映像データを表示する液晶表示制御装置として、例えば、特開平 7-261703号公報に開示されているように、液晶表示用の映像信号を格納するフレームメモリと、映像信号供給源からの第1のタイミング信号に基づきフレームメモリに対する映像信号の書き込み行アドレスを設定する書き込み行アドレス設定部と、第1のタイミング信号に基づきフレームメモリに対する映像信号の書き込み要求信号を生成する書き込みコントロール回路とを、液晶表示制御装置に備えている。

【0003】 そして、この液晶表示制御装置は、所望の

タイミングで設定された第2のタイミング信号を送出する同期信号生成回路と、その第2のタイミング信号に基づきフレームメモリに対する映像信号の読み出し行アドレスを設定する読み出し行アドレス設定部と、第2のタイミング信号に基づきフレームメモリに対する映像信号の読み出し要求信号を生成する読み出しコントロール回路と、書き込み要求信号及び、読み出し要求信号からフレームメモリにおける映像信号の書き込みと読み出しの競合を回避する制御信号を生成し、そのフレームメモリに送出する競合回避部とを設けている。

【0004】図27は、前記特開平7-261703号公報に開示されている液晶表示制御装置の一構成例である。2001はフレームメモリ、2002は同期回路、2003は書き込み行アドレスカウンタ、2004は書き込みコントロール回路、2005は同期信号生成回路、2006は読み出し行アドレスカウンタ、2007は読み出しコントロール回路、2008はアドレス切り替え回路、2009はRAS/及び、CAS/生成回路を各々示す。

【0005】図27において、映像信号DTT1のフレームメモリ2701に対する書き込み処理のために、水平同期信号HSYNC及び、垂直同期信号VSYNCに同期した書き込み用クロック信号WCLKと、水平表示信号HDISP及び、垂直表示信号VDISPと映像信号DTT1の有効部分を示す書き込みインベール信号WEとを送出する同期回路2702と、前記各制御信号WCLK、HDISP、VDISPに基づきフレームメモリ2701に対する映像データDTT1の書き込み行アドレスWADを設定する書き込み行アドレスである書き込み行アドレスカウンタ2703と、前記制御信号HDISP、VDISPに基づいて書き込み要求信号WREQを生成する書き込みコントロール回路2704とを備え、前記映像データDTT1のフレームメモリ2701に対する書き込み制御を行う構成である。

【0006】さらに、クロック発振回路及びカウンタで構成された同期信号生成回路2705を有し、この同期信号生成回路2705は、フレームメモリ2701に書き込まれたデータを、液晶表示ユニットに適したタイミングで読み出すために設定された第2のタイミング信号を生成する。

【0007】本実施例における第2のタイミング信号は、水平同期信号HSYNC、垂直同期信号VSYNC、読み出し用クロック信号RCLK、垂直表示信号LVDISP、水平表示信号LHDISP及び、有効表示部分を示す読み出しインベール信号REである。

【0008】同期信号生成回路2705の生成した各信号は、図20の装置にはまた、フレームメモリ2701に対する映像信号の読み出し行アドレスRADを設定する読み出し行アドレス設定部である読み出し行アドレスカウンタ2706と、読み出し要求信号RREQを生成する読み出しコントロール回路2707とが備えられ、同期信号生成回路2705の生成した各信号が、これら読み出し行アドレス

カウンタ2706及び、読み出しコントロール回路2707に供給される構成となっている。

【0009】さらに、本液晶表示制御装置は、書き込み行アドレスWADまたは、読み出し行アドレスRADを選択してフレームメモリ2701に送出するアドレス切換え回路2708と、2つの要求信号WREQ、RREQに対して、フレームメモリ2701における書き込み及び読み出し動作の競合を回避する制御信号RAS/及び、CAS/を生成する競合回避部のRAS/及び、CAS/生成回路2709とを設けている。

【0010】書き込みコントロール回路2704は、信号WREQを生成すると共に、信号WREQと信号RAS/と信号CAS/とに基づいたアドレス切換え用信号WA/を、アドレス切換え回路2708に伝達する。読み出しコントロール回路2707は、信号RREQを生成すると共に、該信号RREQと信号RAS/と信号CAS/とに基づいたアドレス切換え用信号RA/を、アドレス切換え回路2708に伝達する。アドレス切換え回路2708はそれらの信号WA/、RA/に基づき、フレームメモリ2701に対するアドレスを選択切換える構成となっている。

【0011】

【発明が解決しようとする課題】しかしながら、前記従来技術では、フレームメモリを使用することによって、映像信号をフレームメモリに書き込むタイミングと、液晶パネルに表示するための読み出しタイミングを非同期に制御可能なため、液晶パネルの動作可能周波数に対応させた映像信号の読み出しを可能とできるという基本的な部分については述べられているものの、複数の映像画面表示を同時に可能な構成とするなどの応用については述べられていなかった。

【0012】更に前記従来技術では、アナログ的に制御を行うCRT表示装置に対し、デジタル的に画素単位での制御を必要とし、CRT表示装置にはない調整を要する液晶表示装置の調整実現手段などについては述べられていなかった。

【0013】本発明の目的は、高解像度液晶表示装置の表示形態として、この高解像度液晶表示画面を複数の低解像度表示範囲に分割し、これら個々の低解像度表示範囲に対し、同一もしくは異なる映像データの表示を同時に可能とする液晶表示制御装置を提供することにある。

【0014】本発明の他の目的は、アナログ的に制御を行うCRT表示装置と異なり、デジタル的に画素単位での制御を必要とする液晶表示装置において、各種調整を行うための比較基準となる表示データを内部で生成し、高解像度液晶表示装置の表示画面を複数の低解像度表示範囲に分割した各々に対し、被調整対象となる映像表示データ及び、調整の基準となる表示データの表示を同時に可能とする液晶表示制御装置を提供することにある。

【0015】本発明の更に他の目的は、液晶表示装置の表示形態として複数の映像データを重ね合わせて表示す

10

20

30

40

50

るような場合において、入力する映像データに依存して2つの映像データのいずれかの表示が無くなることなく、常に双方の映像信号を重ね合わせて表示可能とする液晶表示制御装置を提供することにある。

【0016】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0017】すなわち、本発明は液晶表示装置が高解像度に対応しており、この高解像度映像信号を数フレーム
10 格納可能なフレームメモリを備え、このメモリ内部を低解像度に対応した複数領域に分割し、この分割した領域毎に書き込み及び読み出し可能な制御を行う。これにより、前記高解像度表示装置の表示において、分割された各表示領域に対し同一もしくは異なる低解像度の映像信号を同時に表示可能としたものである。また、フレームメモリの分割された複数低解像度領域の一領域に対し、マイコンによる任意のデジタルデータを格納し、このデータを液晶表示装置調整の基準データとし、更に被調整映像データをその他の分割領域に格納することで、
20 高解像度液晶表示装置においてこれら調整基準データ及び、被調整映像データを同時に表示可能としたものである。

【0018】更に、液晶表示装置の表示形態として、複数の映像データを重ね合わせて表示するような場合において、デジタル化された各表示データのうち主となる映像データの重み付けを2分の1とし、副となる映像データの重み付けを最上位のみに割り付けて双方の映像データを合成することにより、液晶表示装置で表示する際に
30 いずれの映像データ情報も消失することなく、重ね合わせ表示可能としたものである。

【0019】

【発明の実施の形態】以下、本発明の一実施例を図面を用いて詳細に説明する。

【0020】図1は、本発明技術を用いた液晶表示システムの第1の実施例を示す構成図であり、本発明技術の主要な部分を成すのは画面分割制御部0107と、これにより制御されるフレームメモリ・ライト制御部0103、フレームメモリ・ライトアドレス生成部0104である。また、本実施例では高解像度入力映像データにも対応可能なよう
40 に使用するフレームメモリ1 0101及び、フレームメモリ2 0102はシンクロナスDRAMを想定している。

【0021】図1において、0101は第1の高解像度映像データ（ここでは1280ドット×1024ラインのSXGAモードを想定）1フレーム分を格納するフレームメモリ1、0102が第2の高解像度映像データ1フレーム分を格納するフレームメモリ2、0103はライト系制御用クロックWCLKに同期して、前記フレームメモリ1 0101、フレームメモリ2 0102に対するライトコマンドW
50 CMDを生成するフレームメモリ・ライト制御部、0104

はライトアドレスWADRを生成するフレームメモリ・ライトアドレス生成部、0105は同じくリードコマンドRCMDを生成するフレームメモリ・リード制御部、0106はリードアドレスRADRを生成するフレームメモリ・リードアドレス生成部、0107は高解像度液晶パネルに複数の低解像度映像信号を画面分割して表示する際の画面分割制御部、0108は入力垂直同期信号VSYNCをトリガにして、前記フレームメモリ1 0101及び、フレームメモリ2 0102に対するライト／リード制御を切替えるライト／リード切換え制御部、0109はリード系制御用クロックRCLKを発生する発振器、0110は前記フレームメモリ1に対するライトコマンドWCMDもしくは、リードコマンドRCMDの選択を行うセレクト回路1、0111は
ライトアドレスWADRもしくは、リードアドレスRADRの選択を行うセレクト回路2、0112及び、0113は同じくフレームメモリ2 0102に対するセレクト回路3及び、セレクト回路4、0114は前記フレームメモリ1 0101にたいするライトデータWDATA及び、リードデータRDATAの切換え制御を行うバッファ回路1、0115
は同じくフレームメモリ2 0102に対するバッファ回路2、0116は前記フレームメモリ1 0101もしくは、フレームメモリ2 0102からのリードデータを選択するセレクト回路5、0117は前記セレクト回路0116からのリードデータRDATAを表示する液晶パネル、0118はインバータ回路、0119は入力された映像データ（WDATA）をフレームメモリに書き込む際に、メモリのデータバス幅に合わせて変換を行うライトデータ変換制御部、0120はフレームメモリから読み出した表示データを、液晶パネルのデータバス幅に合わせて変換を行うリードデータ
30 変換制御部を各々示す。

【0022】以下、図1を用いて本発明による第1の実施例について説明する。

【0023】まず、デジタル化されたライトデータWDATAはバッファ回路1 0114及び、バッファ回路2 0115を介してフレームメモリ1 0101及び、フレームメモリ2 0102に出力する。このライトデータWDATAをい
40 ずれのフレームメモリにライトするかは、入力垂直同期信号VSYNCを基準にライト／リード切換制御部0108で生成するライトイネーブル信号WENPにより選択する。

【0024】フレームメモリ1 0101がライトの場合、WENP="H"となり、ライトクロックWCLKに同期したタイミングでフレームメモリ・ライト制御部0103及び、フレームメモリ・ライトアドレス生成部0104で生成されるライトコマンドWCMD及び、ライトアドレスWADRをセレクト回路1 0110及び、セレクト回路2 0111が選択する。

【0025】前記フレームメモリ1 0101がライト状態の間、フレームメモリ2 0102は、前記ライトイネーブル信号WENP="H"をインバータ回路0118で反転し

た信号によりリード状態となる。この場合、発振器0109より出力されるリードクロックRCLKに同期したタイミングでフレームメモリ・リード制御部0105及び、フレームメモリ・リードアドレス生成部0106で生成されるリードコマンドRCMD及び、リードアドレスRADRをセレクト回路3 0112及び、セレクト回路4 0113が選択する。

【0026】これに伴いバッファ回路0115よりリードされたメモリデータは、セレクト回路5 0116によりリードデータRDATAとして選択し、液晶パネル0117で表示する。ここで前記フレームメモリ1 0101に対するライト動作において、本発明の特徴となる画面分割表示を実現するために、画面分割制御部0107からの分割制御信号DIVCNT [3:0]により、フレームメモリ・ライト制御部0103及び、フレームメモリ・リードアドレス生成部0104の制御を行い、フレームメモリ1 0101に対するライト位置を制御する。

【0027】図2は、図1により画面分割制御を行った場合の液晶パネルの表示状態を示す。ここでは、表示領域全体が前記液晶パネル0117で、解像度をSXGA (1280ドット×1024ライン)とし、分割数を4分として、分割した各々の解像度をVGA (640ドット×480ライン)とする。

【0028】図2において、0117は前記図1で示したSXGAサイズの液晶パネル、0201はVGAサイズに画面分割した際の第1の分割画面、0202は同じく第2の分割画面、0203は同じく第3の分割画面、0204は同じく第4の分割画面を各々示す。

【0029】まず、図1のVGAサイズ映像ライトデータWDATAを第1の分割画面0201に対応するメモリ領域にライトする。次にこの第1の分割画面0201に対応するメモリ領域へのライト動作を禁止した状態で、異なるVGAサイズ映像ライトデータWDATAを第2の分割画面0202に対応するメモリ領域にライトする。同様に、第1の分割画面0201及び、第2の分割画面0202に対応するメモリ領域へのライト動作を禁止した状態で、さらに異なるVGAサイズ映像ライトデータWDATAを第3の分割画面0203に対応するメモリ領域にライトする。

【0030】次に、前記第1から第3までの分割画面0201～0203に対応するメモリ領域へのライト動作を禁止した状態で、第4の分割画面0204に対応するメモリ領域に、入力されるVGAサイズ映像ライトデータWDATAを逐次ライトする。液晶パネル0117への表示は分割画面に関係なく全ての領域のメモリデータを順次リードする。従って、液晶パネル0117に表示される映像データは、第1から第3までの分割領域にはホールドされた映像を表示し、第4の分割領域についてはパソコンなどシステム操作により逐次変化する映像データを表示することが可能となる。

【0031】図3は前記図1及び、図2に示した画面分

割表示を実現するための動作フローチャートである。ここではフレームメモリ1 0101を対象に動作を説明する。

【0032】まず、ライト／リード切換制御部0108より出力されるライトイネーブル信号WENPの状態を確認する。無効状態(WENP="L")の場合には、フレームメモリ1 0101はリードアクセス動作を行う(この時フレームメモリ2 0102がライトアクセスとなる)。有効状態(WENP="H")の場合には、前記フレームメモリ0101はライトアクセスとなり、画面分割モードの有効／無効を確認する。画面分割モードが無効な場合には液晶パネル0117の全領域に対しライト動作を行う。

【0033】画面分割モードが有効な場合には、画面分割制御部から出力されるライト領域設定信号DIVCNT [3:0]の状態に対応した分割領域に対してライト動作を行う。DIVCNT [3:0] = 1hの設定により、第1分割画面領域0201に対するライト動作を実行する。引き続きライトイネーブル信号が有効(WENP="H")かつ、画面分割モードが有効となっている場合、再度ライト領域設定状態を確認する。

【0034】この間にDIVCNT [3:0] = 2hに設定しておくことにより、前記第1分割画面領域0201へのライト動作は禁止され、第2分割画面領域0202に対するライト動作を実行する。以下同様に、DIVCNT [3:0] = 4h, 8hと設定することにより、第3分割画面領域0203及び、第4分割画面領域0204に対するライト動作を実行する。前記第4分割画面領域0204に対するライト動作実行後、前記ライトイネーブル信号を無効(WENP="L")とすることでフレームメモリ1 0101に対するアクセスはライトからリードに切り替わり、フレームメモリ2 0102が本シーケンスによるライトアクセスを行う。

【0035】次にライトイネーブル信号が有効(WENP="H")かつ、画面分割モードが有効で、ライト領域設定をDIVCNT [3:0] = 8hとした場合、前記第4分割画面領域0204に対応したメモリ領域に対してライト動作を実行し、映像データを更新する。フレームメモリ1 0101及び、フレームメモリ2 0102間で以上の制御を繰り返すことにより、図2に示した液晶パネル0117の表示は、第1から第3分割画面領域0201～0203に対する表示はホールド状態となり、第4分割領域0204に対する表示のみがシステム操作により逐次変化する映像データを表示することが可能となる。

【0036】前記図3に示したフローチャートに対する動作タイミングの一例をフレームメモリにN社製「HM5216165」を用いて説明する。本フレームメモリの構成は「1048576word×16bit」であり、このメモリを各々2個ずつ用いてフレームメモリ1 0101及び、フレームメモリ2 0102を構成する。

【0037】図4に本構成で実現するためのライトデー

タ変換制御部0119及び、図5にリードデータ変換制御部0120のタイミング動作を示す。図4において、映像データ(IREDATA-I BODATA)はR、G、Bが2パラレルで、各々を8ビットの合計48ビット構成とする。このデータを前記フレームメモリ1 0101もしくは、フレームメモリ2 0102に書き込む必要がある。メモリ2チップによるデータバス幅は、32ビット(FM1WD-FM2WD)であるため、48ビットから32ビットへのデータ変換を行う必要がある。図4ではこのデータ変換のためのタイミングを示してある。

【0038】また図5では、メモリから読み出したデータの交換タイミングを示す。メモリからの読み出しの場合、前記図4に示したメモリへの書き込みとは逆の操作となり、32ビット幅単位でメモリから読み出した映像データ(FM1RD-FM2RD)を、48ビット幅に変換(OREDATA-OBODATA)する必要がある。このデータ変換を実現するために、図5に示すように、デューティの異なるメモリリードクロックを用いる。

【0039】図6に前記図2に示した高解像度液晶パネルに、低解像度映像データを画面分割して表示する際のメモリアクセスイメージ図を示す。

【0040】まず、書き込み動作においては、第1の分割画面データ0201を書き込む。1水平ラインに対するメモリ・ライト回数は、入力映像データが2パラレル入力かつ、前記図4のタイミングにより入力映像データと、メモリ・ライトアクセスとのタイミング比率が2:3であることより、480回のアクセスを行う必要がある(下式参照)。

【0041】 $1H \text{メモリライト回数} = 640 \div 2 \text{ (入力2パラレル)} \times 3 \div 2 \text{ (図4の変換比率)} = 480$

従って、まず1ライン目ROW0の1から480に対しライトアクセスを行う。次に、ROW0の480回目のライトアクセスに次いで、2ライン目ROW2の1から480に対しライトアクセスを行う。以下、同様な制御により最終的に480ライン目ROW958の1から480にライトアクセスを行うことで、前記図2の第1分割画面0201の映像データ書き込みを行う。

【0042】次に、第2の分割画面0202の映像データを書き込むために、まず1ライン目ROW1の481から960に対しライトアクセスを行う。次に、ROW1の960回目のライトアクセスに次いで、2ライン目ROW3の481から960に対しライトアクセスを行う。以下同様な制御により最終的に480ライン目ROW959の481から960にライトアクセスを行うことで、前記図2の第2分割画面0202の映像データ書き込みを行う。以下同様に、第3分割画面0203及び、第4分割画面0204に対する映像データの書き込みを行う。

【0043】このようにして、第1分割画面0201から第4分割画面0204までに対応するメモリ領域に映像データ

を書き込んだ後に、第1分割画面0201から第3分割画面0203までを静止画としてこれを参照し、第4分割画面を作業領域とする場合、以降入力される映像データは全て、第4分割画面に対応するメモリ領域に書き込みを行う。

【0044】図7にメモリライト動作に対するタイミング図を示す。まず、MRSコマンドによりレジスタ設定を行う。ここではフルモードのバースト設定などを行う。次のACTVコマンドにより行アドレスを確定する。ここではまず、ROW0アドレスを設定する。次にWRITコマンドを生成し、このタイミングからバースト動作により連続書き込みを行う。ROW0の1から480までの書き込みが終了した次のサイクルでBSTコマンドを生成し、ROW0に対する書き込み動作を終了する。引き続きACTVコマンドにより次のラインであるROW2の行アドレスを確定し、同様の書き込み動作を行う。

【0045】次に読み出し動作においては、まず1ライン目ROW0の1から480に対しリードアクセスを行う。次に、ROW0の480回目のリードアクセスに次いで、同じく1ライン目ROW1の481から960に対しリードアクセスを行う。以下同様な制御により最終的に960ライン目ROW1919の481から960にリードアクセスを行うことで、前記図2に示した第1分割画面0101から第4分割画面0204の映像データを同時に表示可能としている。

【0046】図8にメモリリード動作に対するタイミング図を示す。

【0047】メモリライト動作との相異は、1ライン目ROW0の480をリードに引き続き、ライト動作では2ライン目をアクセスするために、2つめのACTVコマンドでROW2を指定するのに対し、1ライン目ROW1の481をリードするために、次のACTVコマンドでROW1指定することである。

【0048】以上のように、メモリに対するライトとリードの指定アドレスを工夫することで、高解像度液晶パネルに対し、低解像度の映像信号を画面分割で同時表示可能とし、1台の表示装置において、静止画像を参照しながら、ワープロなどによる文書作成作業を実現できる。

【0049】図9はここまで説明した第1の実施例に対する調整メニュー(オン・スクリーン・ディスプレイ)上での操作方法を示す一例である。図9において、まず、メインメニュー-0901上から画面分割メニュー(DISPLAY DIVIDE)を選択する。次に画面分割の有効/無効を設定メニュー-0902において有効(YES)を選択する。更に次の分割領域設定メニュー-0903で書き込み対象とする領域選択を行う。ここでは第1の分割画面を選択(1ST PLANE)するものとする。次のメニュー-0904では第1の分割画面上に表示され

ている映像データを確認しながら、取り込みたい映像信号が表示されているタイミングで選択を行う（YES選択）。

【0050】1つの映像信号の取り込みが完了すると、1つ前の分割画面選択メニューに戻り、再度分割画面の選択もしくは、メインメニューへの戻り選択状態を待機する。即ち、同じ分割画面に対する再取り込みを繰り返すことはもとより、全分割画面に対し、同一もしくは異なる映像信号を静止画像として取り込むことが可能であり、また、1部の分割画面にのみ映像信号を静止画像として取り込み、残りの分割画面を作業表示領域として常時映像信号を取り込むことも可能である（前記図2に示した第1の実施例による使用方法）。

【0051】以上示した第1の実施例によれば、1つの表示装置において、同時に複数のアプリケーションによる映像データの表示を、これら複数のアプリケーションを同時に起動していなくても表示可能となり、メインメモリの必要容量も少なくて済む。

【0052】図10は本発明の第2の実施例を示す構成図である。前記図1に示した第1の実施例に対し、マイコンからのアクセスによりフレームメモリ1 0101及び、フレームメモリ2 0102に対し任意のデータの書き込みもしくは、読み出しを可能としたものである。図10において、1001はマイコン、1002はマイコンによるフレームメモリ1 0101もしくは、フレームメモリ2 0102に対する任意データの書き込み有効/無効を設定するレジスタ、1003はパソコンからの映像データWDATAと、マイコンによる任意データMDATAとの切換えを前記レジスタ1002に従って行うセレクト回路を各々示す。

【0053】ユーザ調整によりレジスタ1002をマイコンによる任意データ書き込みモードに設定する。これにより、フレームメモリ・ライト制御部0103及び、フレームメモリ・ライトアドレス生成部0104はマイコンからの制御に従ったライトコマンドWCMD及び、ライトアドレスWDADRを出力する。更に、このマイコンからの制御によりライト/リード切換制御部0108は、入力垂直同期信号IVSYNCに係わらず、フレームメモリ1 0101もしくは、フレームメモリ2 0102のいずれかを書き込みモードに固定すると共に、セレクト回路はマイコンからの任意データMDATAを選択する。これにより、前記フレームメモリの任意の領域に対し、任意データを書き込むことができる。

【0054】図11に前記図10の構成を用いた第2の実施例による、表示画面イメージ図を示す。

【0055】まず第1の段階として、画質調整の基準となる任意の表示データを第4の分割画面にマイコンにより書き込む。この第4の分割画面に書き込んだ任意のデータは、前記第1の実施例と同じ制御により保持する。次に第2の段階として、ここでは第1の分割画面に力

映像データを表示し、この表示データに対し前記第4の分割画面に表示した調整の基準となる表示データを参照しつつ、調整を行う。所望の調整状態となったところで、画面を保持状態にする。

【0056】次に第3の段階として、前記第4の分割画面に基準データ及び、第1の分割画面に第1の調整データを表示した状態で、第2の分割画面に入力映像データを表示し、前記第2段階と同様に調整を行い、第1の分割画面の表示データとは異なる所望の調整状態となったところで、画面を保持状態にする。最後に第4の段階として、前記第3の段階までに調整を行った第1の分割画面もしくは、第2の分割画面のうちここでは第2の分割画面の表示画質を選択し、これを最終調整値とした高解像度表示を行うことができる。

【0057】本実施例では、画面分割数を4分割とし、第4の分割画面に基準データ、第1及び第2の分割画面に被調整データを表示していずれかを選択するものとしたが、画面分割数及び、基準となるデータの表示位置、被調整画面数などは任意とすることが可能であることは明白である。

【0058】図12は本発明の第3の実施例を示す表示イメージ図である。

【0059】本実施例は、液晶パネルがCRTに比べ薄型であることを利用し、平面置きでの利用を前提としたものである。すなわち本実施例では高解像度液晶パネルを4つの画面に分割し、対面する（A）及び（B）の2方向より表示を認識可能としたものである。つまり、（A）からの方向に対しては第3の分割画面0203及び、第4の分割画面0204を表示を行い、（B）からの方向に対しては、第1の分割画面0201に前記第4の分割画面0204に表示した映像データを上下、左右反転した状態で表示し、第2の分割画面0202に前記第3の分割画面0203に表示した映像データを上下、左右反転した状態で表示する。これにより、（A）及び、（B）のいずれの方向からも同じ表示データを認識可能としたものである。

【0060】図13に前記図12に示した本発明による第3の実施例を実現するための、表示データ制御に対する概略構成図を示す。図13において、1301はマイコン、1302は高解像度一面分の表示データを格納するためのフレームメモリ1、1303は同じく別の一面分の表示データを格納するためのフレームメモリ2、1304は前記マイコン1301からの制御によりフレームメモリ1 1302もしくは、フレームメモリ2 1303からの液晶パネル表示データを選択するためのセレクト回路を各々示す。

【0061】マイコン1301により前記図12に示した表示制御をフレームメモリ1 1302に対して行う場合、表示画面の乱れを防止するためにこの間、フレームメモリ2 1303による安定した表示を行うようセレクト回路1304は前記フレームメモリ2 1303からの読み出しデータを選択する。

【0062】この間フレームメモリ1302は、マイコン1301との間でデータ転送を行い、分割した表示画面間に対称表示可能となるようデータの格納を行う。データの格納が完了した時点で前記セレクト回路1304による選択を切り替え、前記図12に示した表示を行う。次に別な表示データに対し、前記図12に示した構成の表示を行う場合、フレームメモリ21303に対し前記図12に示した表示制御を行い、一方でフレームメモリ1302による安定した表示を行うよう前記セレクト回路1304は前記フレームメモリ1302からの読み出しデータを選択する。

【0063】図14は第3の実施例での前記図12におけるフレームメモリに対する映像データの書き込み動作を示す概略図である。第1段階として、第3の分割画面0203に対し低解像度の映像データを①(1)・①(n)・①(n+1)・①(m)の順に書き込む。第2段階として、前記第3の分割画面0203に書き込んだ映像データを持続した状態で、第4の分割画面0204に対し別の映像データを②(1)・②(n)・②(n+1)・②(m)の順に書き込む。次に第3の段階として、前記第1段階で書き込んだ第3の分割画面0203に保持している映像データを一面素マイコン1301が読み出し、このデータを第2の分割画面0202に書き込む動作を繰り返す。この際、第2の分割画面0202では表示データが左右、上下反転した状態で表示されるようにメモリの書き込み位置を制御する。

【0064】すなわち、①(n)のデータを読み出して③(n)の位置に書き込み、次に②(1)のデータを読み出して③(1)の位置に書き込むようにする。以下、同様に読み出し及び、書き込み動作を繰り返すことで第3の分割画面0203の映像データを左右、上下反転した状態の映像データを第2の分割画面0202に設定することができる。最後に第4段階として、前記第3段階同様の制御により、第4の分割画面0204に保持した表示データを第1の分割画面0201に左右、上下反転した状態で書き込む。

【0065】以上、第1段階から第4段階までの動作を前記フレームメモリ1302に対して行う場合には、この間液晶パネルにはフレームメモリ21303に格納されている安定した映像データを表示することで本動作に伴う画面の乱れを防止することができる。第4段階終了時点でマイコン1301によりフレームメモリ21303からフレームメモリ1302に読み出しデータを切り替えることで、前記図12に示すような対向する2辺から同時に認識できる表示を可能とした。

【0066】さらに、図15に示すように前記第3の実施例においては2画面分のフレームメモリをフレームメモリ1302及び、フレームメモリ21303として搭載し、そのうちフレームメモリ1302に対して、マイコン1301からの書き込み、読み出し動作を数フレーム期間に渡り行う際に伴う表示の乱れを防ぐために、フレームメモリ21303による安定した表示データを読み出し続ける

ことで表示画面を停止状態にすることが可能である。

【0067】図16は本発明による第4の実施例に対する構成図を示す。本実施例では表示装置とこの表示装置画面を認識する媒体が同一方向を向いているような場合に、認識媒体によって正常な表示を認識することを目的としている。図16において、1601は液晶パネル及びその表示データ、1602は前記液晶パネルに写し出された表示を映し出す反射板、1603は反射板に映し出された表示データ、1604は前記反射板1602に映し出された表示データを認識する認識媒体を各々示す。

【0068】液晶パネル1601に表示された映像信号は反射板1602で写し出すことにより、認識媒体1604では反射板表示データ1603に示すように、左右が反転した状態で認識される。従ってこの反射板1602に写し出された反射板表示データ1603が認識媒体1604によって正常な表示状態で認識できるよう、前記液晶パネル1601での表示を左右反転した状態とする。これにより、ゲーム機、理髪機などでの利用が可能となる。

【0069】図17に前記図16において液晶パネル1601に左右反転した状態で表示を行うための、フレームメモリ制御概略図を示す。まずパソコンなどからの映像信号の書き込み当たっては、通常通りに、(1)・(n)・(n+1)・(m)の順で上方左辺より下方右辺に向けて書き込む。これに対し、読み出し側では上方左辺より下方左辺に向けて読み出した(1)・(n)・(n+1)・(m)のデータを、液晶パネル1601に対し通常通り上方左辺より下方右辺に向けて表示することで、左右反転した映像データの表示を可能とした。

【0070】図18は本発明による第5の実施例に対する表示イメージ図を示す。本実施例では高解像度液晶パネルを複数に画面分割し、いくつかの分割画面に対し1つの表示データを拡大率を変えて表示するものである。

【0071】すなわち、フレームメモリに対する書き込み動作では、高解像度表示パネル0117を画面分割し、第1の分割画面0201に対応するフレームメモリ領域に1つ映像データを書き込みこれを持続する。次に、第2の分割画面0202に対応するフレームメモリ領域においても、前記第1の分割画面0201と同じデータを書き込みこれを持続する。同様に第3の分割領域0203に対応するフレームメモリ領域にも同じデータを書き込みこれを持続する。第4の分割画面0204に対応するフレームメモリ領域にはパソコンなどから入力される映像データを逐次書き込む。

【0072】このように第1の分割画面0201から第3の分割画面0203まで同じ映像データを書き込みこれを持続し、第4の分割画面0204には入力される映像データを逐次書き込むようにする。

【0073】次に読み出し動作では、第1の分割画面0201に書き込んだ映像データは全て読み出し1対1の対応で表示する。第2及び第3の分割画面0202、0203の表示については、前記第1の分割画面0201の表示データ中、部

分的に指定した表示範囲を拡大して各分割画面に表示する。すなわち便宜上、各分割画面の画素サイズが、水平／垂直方向ともに n ドットとし、部分的に拡大処理を施す表示データの画素サイズが水平／垂直方向ともに m ドットとした場合、拡大率の設定は n/m による。第4の分割画面0204については、逐次書込まれるパソコンなどから入力される映像データを全て読み出し、1対1の対応で表示する。

【0074】図19は前記図18に示した第5の実施例を実現するための概略構成図である。図19において、1901はパソコンなどからの入力映像データ用セクタ回路、1902はフレームメモリ1、1903はフレームメモリ2、1904は前記フレームメモリ1 1902もしくは、フレームメモリ2 1903から読み出した表示データのいずれかを選択するセクタ回路、1905は表示データの拡大処理を行う拡大処理制御部、1906は非拡大処理データもしくは、拡大処理データいずれかの選択を行うセクタ回路を各々示す。

【0075】前記図18の表示を例に動作を説明すると、まずフレームメモリ1 1902及び、フレームメモリ2 1903に対し、第1の分割画面0201から第3の分割画面0203に対応するメモリ領域に第1の分割画面に表示された映像データ書込む。次にセクタ回路1901をフレームメモリ1 1902選択状態とし、第4の分割画面に対応するメモリ領域に対し、逐次入力される映像データの一面面を書込む。この書き込みが終了した時点でセクタ回路1904によりフレームメモリ1 1902からの読み出しを選択する。フレームメモリ1 1902の読み出しでは、高解像度液晶パネル0117を通常通りに読み出す。

【0076】第1及び、第4の分割画面0201、0204領域の読み出しでは、拡大処理は行わないため、セクタ回路1906はセクタ回路1904の出力を直接選択する。第2及び、第3の分割画面0202、0203領域の読み出しでは、前記第1の分割画面0201の表示データの一部を拡大表示するため、セクタ回路1906は拡大処理制御部1905の出力である拡大表示データを選択する。

【0077】またフレームメモリ1 1902を読み出している間、フレームメモリ2 1903はセクタ回路1901により書込み状態となり、第1から第3の分割画面0201-0203に対応するメモリデータは保持したまま、第4の分割画面0204に逐次入力される映像データを書込む。このように本実施例では1つの映像データを同時に拡大表示し、これらを参照しながら別の画面分割領域を作業領域として使用することができる。

【0078】図20は本発明による第6の実施例に対する表示イメージ図を示す。本実施例では1つの表示画面において、同時に2つの映像データを重ね合わせて表示する際に、双方の表示データのいずれも完全に損なうことなく表示可能とするものである。すなわち、第1の映像データ2001に重ね合わせて、画面上の調整メニューな

どのような第2の映像データを重ね合わせて表示する際に、双方の映像データに依存することなく、同時に認識可能としたものである。

【0079】図21は本実施例に対する従来方式である単純オーバーレイ方式によるデータの重ね合わせ方法と、本発明による第1の映像データ2001を1ビットシフト後に重ね合わせを行うシフト・オーバーレイ方式の比較を示す。

【0080】まず、従来方式である単純オーバーレイ方式では、第1の映像データ2001の最上位ビット(MSB)を無条件に破棄し、最上位ビット(MSB)のみに割り付けた第2の映像データ2002との間で論理和をとる。従って、合成した表示は図21に示すように、合成前の第1の映像データと同じ情報となり、第2の映像データの情報が反映されていない状態となる。また、第1の映像データ2001の最上位ビット(MSB)が無効な状態では、合成した表示は双方の映像データを反映することができる。このように、第1の映像データ2001の状態により合成後の映像データが、双方の映像データを反映したり、しなかったりするため、乱れた表示となる。

【0081】これに対し、本発明によるシフト・オーバーレイ方式では、第1の映像データ2001の最上位(MSB)を破棄するのではなく、全てのデータを下位方向へ1ビットシフトし、この情報と、最上位ビット(MSB)のみに割り付けた第2の映像データ2002との間で論理和をとる。従って、前記第1の映像データ2001の最上位ビット(MSB)は必ず上位から2つ目のビットに反映されかつ、第2の映像データは最上位ビット(MSB)に反映されるため、合成した表示は双方の映像データ情報を出力することができる。但し、第1の映像データ2001は下位方向へ1ビットシフトするため、合成領域では輝度が半分に低下する。しかし合成領域での表示の乱れは完全に防ぐことができる。

【0082】図22は本発明による第7の実施例に対する表示イメージ図を示す。本実施例では高解像度に対応した表示パネルにおいて、高解像度映像データの一部を低解像度映像データ表示時の背景(ボーダー)表示データとして利用するものである。図22において、まずパネルのサイズに合った高解像度映像データを表示後、低解像度映像データに切り替えた時に、この低解像度映像データ表示領域以外の表示パネル表示領域に対し、切り替え前に表示していた高解像度映像データを表示し続けることで、これを背景データ(ボーダー)として利用することを可能としたものである。

【0083】図23に前記図22の表示イメージに対するフレームメモリ動作の概要を示す。まず、高解像度映像データの書き込みにおいては、1フレーム分のメモリ全領域に対し、入力される映像データを順次書込む。次に低解像度映像データに切り替えられた場合、前記高解像度映像データを書込んだフレームメモリに対し、こ

の低解像度映像データを表示する部分に対応するメモリ領域にのみ低解像度映像データを上書きする。この時点でフレームメモリ内部の高解像度映像データとそれ以外の領域には高解像度映像データが格納されている。このメモリに格納されたデータを、高解像度表示データを表示する際のメモリ読み出し動作と同じ動作で読み出すことで、表示パネルには低解像度映像データと、それ以外の領域には高解像度映像データを背景データ（ボーダー）として表示することができる。

【0084】図24は本発明による第8の実施例に対する概略構成図を示す。図24において、2401は映像データ1もしくは映像データ2のうち、いずれかを選択するセレクト回路、2402は選択した映像データを2フレーム分設けたフレームメモリのいずれかのフレームに書き込むかを選択するセレクト回路、2403はフレームメモリ1、2404はフレームメモリ2、2405は前記フレームメモリ1、2403もしくはフレームメモリ2、2404いずれかの表示データ選択用セレクト回路を各々示す。

【0085】まず、フレームメモリ1 2403に映像データを書き込むようにセレクト回路2402を選択する。この間、液晶パネルにはフレームメモリ2 2404からの読み出しデータが表示されるように、セレクト回路2405を選択する。第1フレームでセレクト回路2401は映像データ1を選択し、これをフレームメモリ1 2403に書き込む。第2フレームにおいて、セレクト回路2401は映像データ2を選択し、これを同じくフレームメモリ1 2403に書き込む。

【0086】第3フレームにおいては、前記フレームメモリ1 2403に格納された表示データを液晶パネルに表示するために、セレクト回路2405をフレームメモリ2 2404選択状態から、フレームメモリ1 2403選択状態に切替える。これと同時に、フレームメモリに対する書き込みもフレームメモリ1 2403からフレームメモリ2 2404となるようにセレクト回路2402を切替える。第3フレームは再び第1フレームと同じ映像データ1をフレームメモリ2 2404に書き込むよう、セレクト回路2401を選択する。

【0087】次に第4フレームでは第2フレーム同様に、映像データ2をフレームメモリ2 2404に書き込むようにセレクト回路2401を選択する。以下この制御を繰り返す。すなわち、セレクト回路2401は毎フレーム映像データ1と映像データ2の選択を切替え、セレクト回路2402と、セレクト回路2405は2フレーム毎にフレームメモリ1 2403とフレームメモリ2 2404の選択を切替える。従って、液晶パネルでの表示は、映像データ1、映像データ2共に2フレーム毎のフレーム間引きされた映像となる。

【0088】図25は前記図24の構成とは別の構成例を示す。図24の場合は、入力される映像データ1及び、映像データ2はデジタルデータであることを前提と

しているのに対し、図25による構成はアナログデータを前提としている。

【0089】図25において、2501は映像データ1からの水平同期信号を基にドットクロックを再生するPLL回路1、2502は同じく映像データ2からの水平同期信号を基にドットクロックを再生するPLL回路2、2503は前記PLL回路1 2501もしくは、PLL回路2 2502より再生されるドットクロックの選択を行うセレクト回路、2504はアナログで入力される映像データ1もしくは、映像データ2を前記セレクト回路2503で選択されたドットクロックを用いてデジタルデータに変換するA/D変換回路を各々示す。

【0090】本構成例ではアナログデータをデジタルデータに変換する以外は、前記図24による構成例での動作と同じである。アナログーデジタル変換制御については、セレクト回路2401が映像データ1を選択している状態ではセレクト回路2503はPLL回路1 2501を選択し、映像データ1からの水平同期信号を基にドットクロックを再生する。このドットクロックをA/D変換回路2504に出力し、このクロックに同期したタイミングで、アナログ映像データ1をデジタル映像データに変換する。同様に、前記セレクト回路2401が映像データ2を選択している状態ではセレクト回路2503はPLL回路2 2502を選択し、映像データ2からの水平同期信号を基にドットクロックを再生する。このドットクロックをA/D変換回路2504に出力し、このクロックに同期したタイミングで、アナログ映像データ2をデジタル映像データに変換する。

【0091】図26は前記図24及び、図26の構成による本実施例でのフレーム毎のメモリ書き込みイメージ及び、表示イメージ図を示す。書き込み動作においては、第1フレームでは映像データ1をフレームメモリ1 2403に書き込み、第2フレームでは映像データ2を同じくフレームメモリ1 2403に書き込む。次に第3フレームでは再び映像データ1をフレームメモリ2 2404に書き込み、第4フレームでは映像データ2をフレームメモリ2 2404に書き込む。読み出し動作においては、書き込みを行っていないフレームメモリから読み出すため、第1及び、第2フレームではフレームメモリ2 2404から読み出し、第3及び、第4フレームではフレームメモリ1 2403から読み出す。従って、読み出し動作に伴う表示データは、2フレーム毎に更新されるためフレーム間引き動作となる。

【0092】以上、本発明によれば第1から第8の実施例に示したように、高解像度表示パネルを用い、フレームメモリに対する制御方法を工夫することで使い勝手のよい表示装置を実現することができる。

【0093】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、

以下の通りである。

【0094】すなわち、本発明の液晶表示制御装置によれば、高解像度に対応した表示パネルを複数の画面に分割し、各分割画面に対し、少容量のメインメモリで異なる映像データを表示することができ、複数の映像データを同一画面上で同時に確認しながら作業をすることができ作業効率の向上効果が得られる。

【0095】また、同じく高解像度に対応した表示パネルを複数の画面に分割し、分割画面の1つに対し、マイコンによる理想的な映像データを設定し、また、他の分割画面において、入力映像データを設定し、これら双方の映像データを同一画面上に同時に表示することで、理想的な表示データを参照しながら、入力映像データに対する調整を行うことが可能という効果が得られる。

【0096】また、同じく高解像度に対応した表示パネルを複数の画面に分割し、分割画面の一部に対し、入力される映像データを上下、左右反転した状態で表示するようにすることで、薄型が特徴である液晶パネルを平面置きた場合に、対向する2面の双方より同時に同じ表示データを認識することができるという効果が得られる。

【0097】また、表示パネルに2つの映像データ（例えば、パソコンなどからの映像データと、オン・スクリーン・ディスプレイによる調整メニューなど）を重ね合わせて表示するような場合に、双方のデータに依存することなく、2つの映像を常に認識できるように表示することができるという効果が得られる。

【0098】さらに、同じく高解像度に対応した表示パネルを2つの画面に分割し、加えてパソコンなどからの映像データを2系統入力できる構成とし、これら2つの映像データを2フレーム毎に更新して表示するフレーム間引き制御を実現することで、1つの表示パネルに対し同時に2つの入力映像データを表示することができるといふ効果が得られる。

【図面の簡単な説明】

【図1】本発明を用いた表示システムの第1の実施例を示す全体構成図である。

【図2】本発明による第1の実施例に対する表示イメージ図である。

【図3】本発明による第1の実施例のフレームメモリへの書き込み動作を示すフローチャートである。

【図4】本発明による第1の実施例のフレームメモリへの書き込み時のデータ変換タイミングチャートである。

【図5】本発明による第1の実施例のフレームメモリからの読み出し時のデータ変換タイミングチャートである。

【図6】本発明による第1の実施例の表示イメージに対するメモリ動作図である。

【図7】本発明による第1の実施例のシンクロナスDRAMに対するメモリライト・タイミングチャートであ

る。

【図8】本発明による第1の実施例のシンクロナスDRAMに対するメモリリード・タイミングチャートである。

【図9】本発明による第1の実施例に対する調整メニュー表示例を示すフローチャートである。

【図10】本発明を用いた表示システムの第2の実施例を示す全体構成図である。

【図11】本発明による第2の実施例に対する表示イメージ図である。

【図12】本発明を用いた表示システムの第3の実施例による表示イメージ図である。

【図13】本発明による第3の実施例の概略構成図である。

【図14】本発明による第3の実施例の表示イメージに対するメモリ動作図である。

【図15】本発明による第3の実施例の別の効果に対する概略構成図である。

【図16】本発明を用いた表示システムの第4の実施例に対する効果を説明する図である。

【図17】本発明による第4の実施例の表示イメージに対するメモリ動作図である。

【図18】本発明を用いた表示システムの第5の実施例による表示イメージ図である。

【図19】本発明による第5の実施例の概略構成図である。

【図20】本発明を用いた表示システムの第6の実施例による表示イメージ図である。

【図21】本発明による第5の実施例に対する動作原理図及び従来方式による動作原理図である。

【図22】本発明を用いた表示システムの第7の実施例による表示イメージ図である。

【図23】本発明による第7の実施例の表示イメージに対するメモリ動作図である。

【図24】本発明を用いた表示システムの第8の実施例に対する概略構成図である。

【図25】本発明を用いた表示システムの第8の実施例に対する別の概略構成図である。

【図26】本発明による第8の実施例に対するフレームメモリ書き込み及び読み出しイメージ図である。

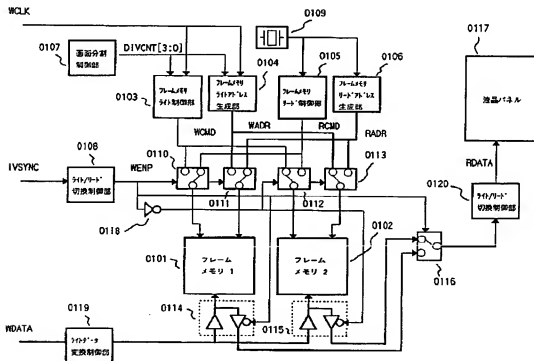
【図27】従来技術による液晶表示制御装置の概略構成図である。

【符号の説明】

0101…フレームメモリ1、0102…フレームメモリ2、0103…フレームメモリ・ライト制御部、0104…フレームメモリ・ライトアドレス生成部、0105…フレームメモリ・リード制御部、0106…フレームメモリ・リードアドレス生成部、0107…画面分割制御部、0108…ライト/リード切換え制御部、0109…発振器、0110…セレクト回路1、0111…セレクト回路2、0112…セレクト回路3、0113…

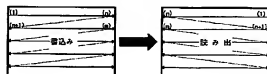
* 晶/バレル表示データ、1602…反射板、1603…反射板表示データ、1905…表示データ拡大処理制御部、2501…P L回路1、2502…P L回路2、2504…A/D変換回路、2701…フレームメモリ、2702…同期回路、2703…書き込み行アドレスカウンタ、2704…書き込みコントロール回路、2705…同期信号生成回路、2706…読み出し行アドレスカウンタ、2707…読み出しコントロール回路、2708…アドレス切換え回路、2709…R A S / 及び C A S / 生成回路。

图 1



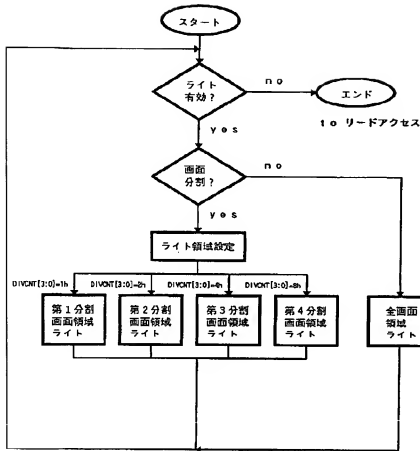
【图 1-7】

图 1-7



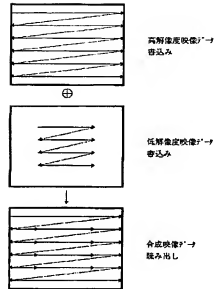
【図3】

図3



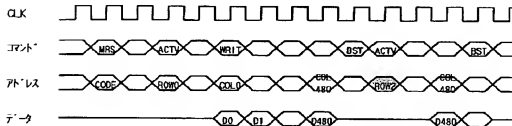
【図23】

図23



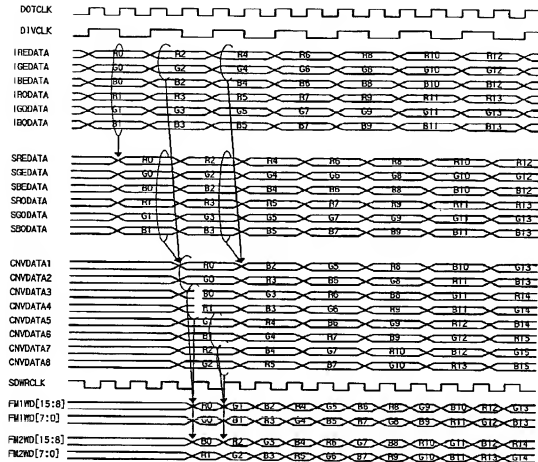
【図7】

図7



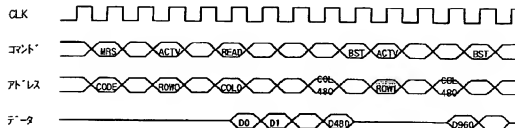
【図4】

図4



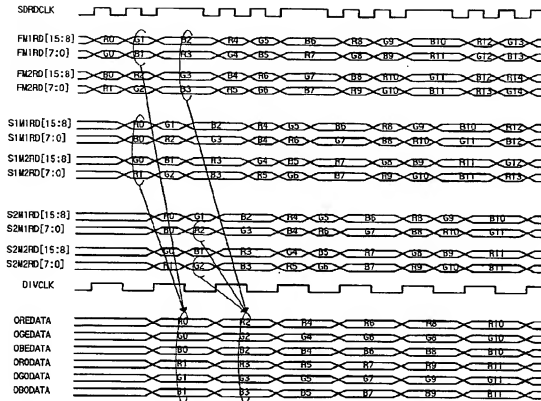
【図8】

図8



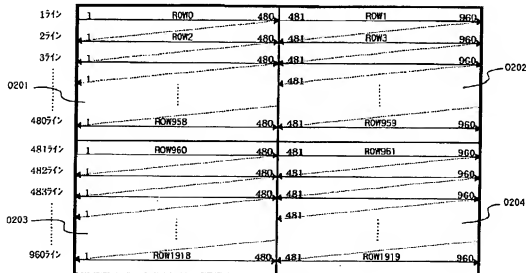
【図5】

図5



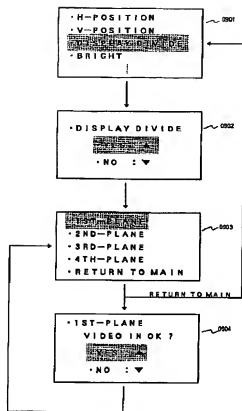
【図6】

図6



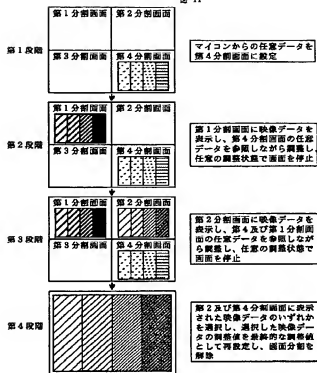
【图9】

9



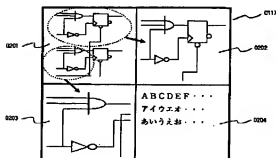
【图 1-1】

11



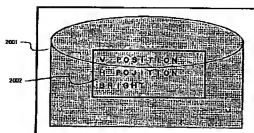
【图 18】

18



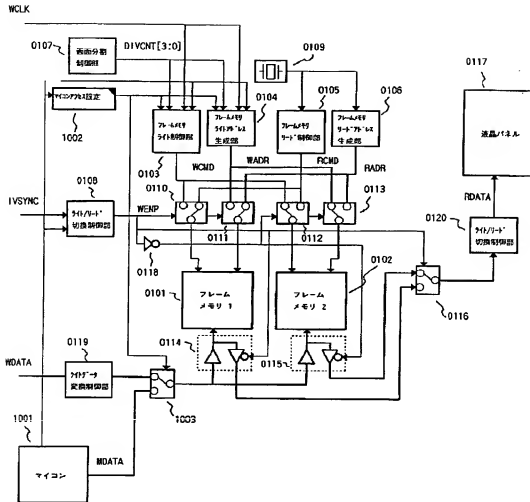
【图 20】

20



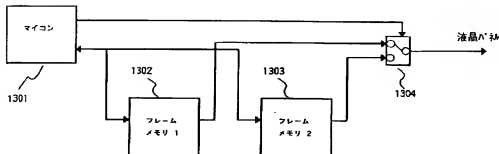
【図10】

図10



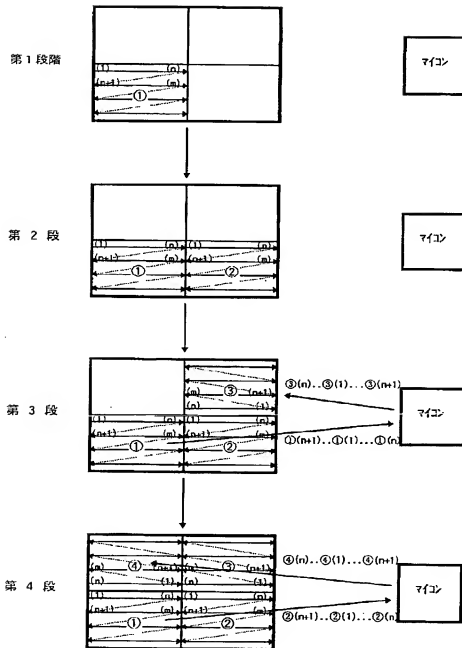
【図13】

図13



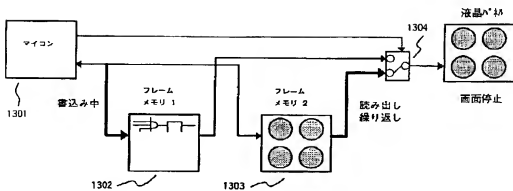
【図14】

図14



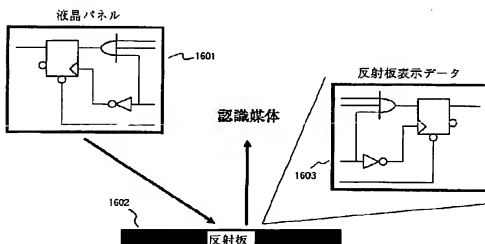
【図15】

図15



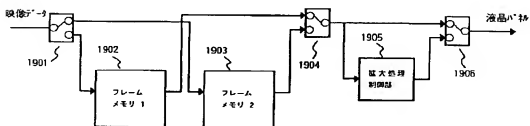
【図16】

図16



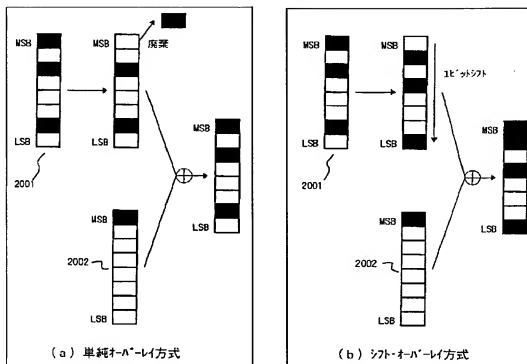
【図19】

図19



【図 21】

図 21



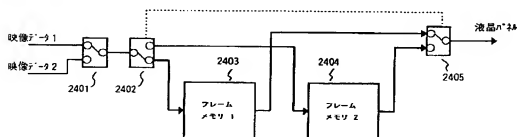
【図 22】

図 22



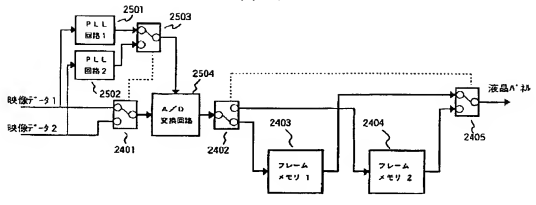
【図 24】

図 24



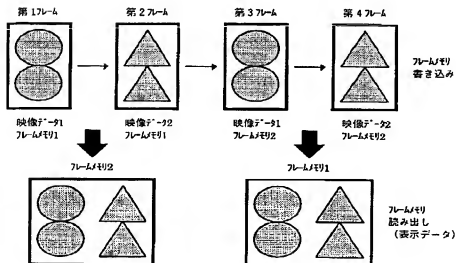
【図25】

図 2 5



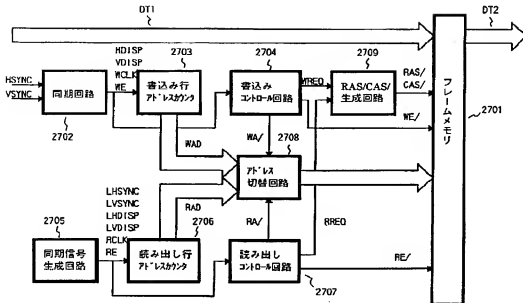
【図26】

図 2 6



【図 27】

図 27



フロントページの続き

(51) Int. Cl.⁶

G 0 9 G 5/36

識別記号

5 2 0

F I

G 0 9 G 5/36

5 2 0 E

5 2 0 K

(72) 発明者 笠井 成彦

神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72) 発明者 森 雅志

神奈川県横浜市戸塚区吉田町292番地 株式会社日立画像情報システム内

(72) 発明者 蛭田 幸男

神奈川県横浜市戸塚区吉田町292番地 株式会社日立画像情報システム内

(72) 発明者 栗原 博司

千葉県茂原市早野3300番地 株式会社日立製作所電子デバイス事業部内

(72) 発明者 森 立美

神奈川県海老名市下今京810番地 株式会社日立製作所オフィスシステム事業部内